

Simulación de un sistema de medición electrónico didáctico basado en demodulación síncrona para determinar la impedancia eléctrica de un circuito reactivo pasivo

Guadarrama Santana Asur¹, Martínez Gutiérrez Daniel², Uc Martín Jorge¹

¹ Instituto de Ciencias Aplicadas y Tecnología UNAM.

² Facultad de Ingeniería UNAM.

asur.guadarrama@icat.unam.mx, dmartinezg73@gmail.com, allstar_ghost@icloud.com

1. Resumen

En este trabajo se describe la simulación del circuito electrónico de un sistema de medición de voltaje de dos canales con el fin de determinar la impedancia eléctrica de un circuito eléctrico RC en paralelo, entendiendo su funcionamiento a nivel de bloques con el análisis de las señales eléctricas que entran y salen en cada una de las etapas que conforman el sistema. El sistema propuesto está basado en la técnica de demodulación síncrona de señales que generalmente se aplica a los sistemas de comunicaciones. Sin embargo, esta técnica también es la base de la detección sensible a la fase muy utilizada en los sistemas de instrumentación de bajo ruido. Las respectivas componentes resistiva R y capacitiva C del circuito RC se calcularon en función de los voltajes de salida obtenidos de las simulaciones. Se obtuvieron los valores de impedancia y se compararon con resultados calculados teóricamente aplicando los conceptos involucrados que definen a la impedancia eléctrica de un circuito eléctrico resistivo-capacitivo en paralelo y con mediciones experimentales realizadas con un medidor LCR comercial. Los resultados mostraron un error menor al 5% validando así la utilización didáctica del sistema propuesto para la enseñanza de impedancia eléctrica.

2. Condiciones experimentales

Se propone un sistema de medición de voltaje (SMV) de dos canales para determinar la impedancia de un circuito RC en paralelo. Como se puede observar en la figura 1, el SMV está formado en general por una fuente de voltaje de corriente alterna V_{ca} , una impedancia Z formada por un circuito RC, una etapa de amplificación, una etapa de detección sensible a la fase (DSF) y la salida de dos canales en los cuales se obtienen dos voltajes de corriente directa, uno en fase y otro en cuadratura o con desfaseamiento de 90° . La etapa de DSF está conformada por una etapa de desfaseamiento de 90° , dos etapas de demodulación síncrona (DMS) y dos etapas de filtrado paso bajo (FPB), una para cada canal [2].

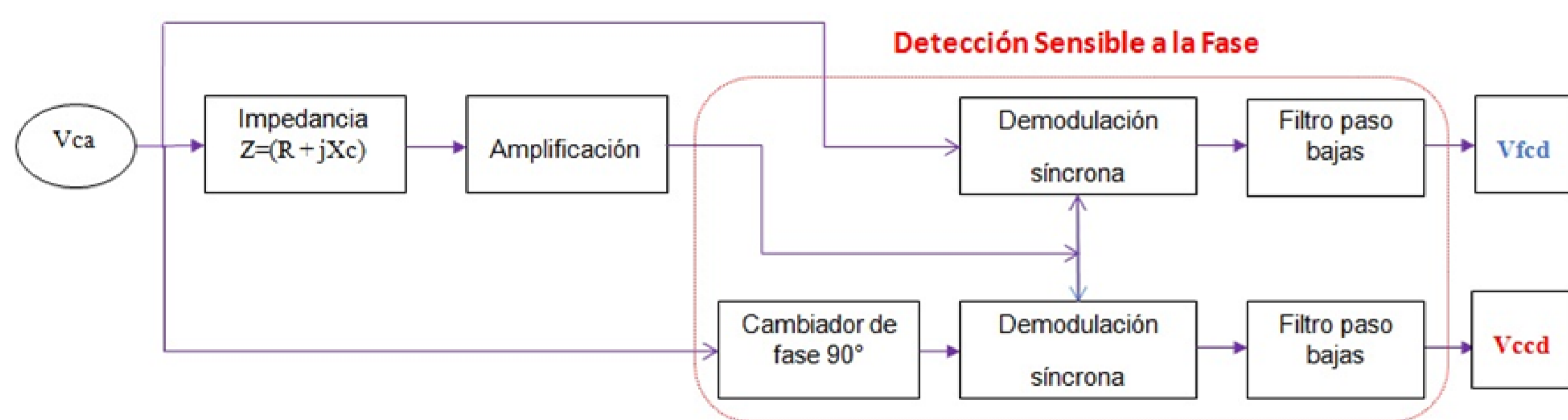


Figura 1. Diagrama de bloques general del SMV básico de dos canales.

2.1 Amplificación

El circuito eléctrico RC en paralelo se alimenta por un voltaje de corriente alterna senoidal $V_{es} = A \sin \omega t$, en donde la amplitud $A = 1V_p$ y la frecuencia $f = 1KHz$. La salida de voltaje V_s del circuito RC se encuentra acoplada a dos etapas de amplificación A y B, como se muestra en la figura 2(a). En la figura 2(b) se muestran las señales de entrada y salida de esta etapa.

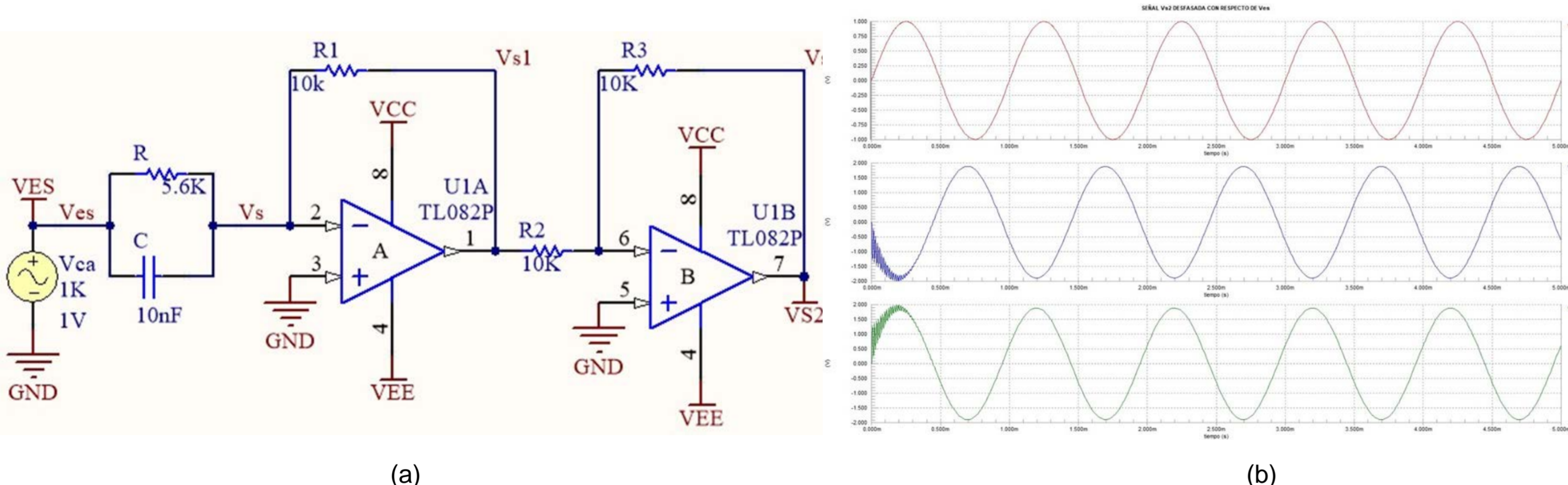


Figura 2. a) Circuito RC en paralelo acoplado a dos etapas de amplificación A y B b) Señal de voltaje de entrada al circuito RC V_{es} (arriba), señales de voltaje de salida de cada etapa de amplificación V_{s1} (en medio) y V_{s2} (abajo), desfasadas con respecto a V_{es} .

Realizando un análisis de corrientes y admitancias en los nodos de las entradas de las etapas de amplificación A y B se obtiene el voltaje de salida V_{s2} , así como las componentes del circuito RC.

$$V_{s2} = V_{es} \left(\frac{R_1}{R} + \frac{R_1}{j\omega C} \right) \quad (1) \quad \theta_s = \tan^{-1} \omega RC \quad (2) \quad R = R_1 \left(\frac{V_{es}}{V_{s2f}} \right) \quad (3) \quad C = \frac{1}{\omega R_1 \left(\frac{V_{es}}{V_{s2c}} \right)} \quad (4)$$

2.2 Demodulación síncrona en fase

El voltaje senoidal V_{es} entra a un circuito comparador U3A del cual se obtiene una señal cuadrada de sincronía V_{sf} en fase ($\phi = 0^\circ$) y con la misma frecuencia de V_{es} , figura 3(b). Esta se utiliza para sincronizar una etapa de amplificación diferencial conmutada (EADC) conformada por el amplificador U5A y controlada por interruptores analógicos. En este caso se utilizan dos pares de interruptores analógicos (NC y NO) integrados en el circuito MAX4603 (U4 y U6), estos permiten simplificar las etapas de sincronización de los demoduladores síncronos. Los dispositivos electrónicos mencionados en conjunto forman la etapa de demodulación síncrona [1], figura 3(a). Así el voltaje de salida V_{s3f} de la EADC se presenta con las siguientes condiciones,

$$V_{s3f} = G_D V_{s2} = \begin{cases} G_1 G_2 A \sin(\omega t + \theta) & 0 < \omega t < \pi \\ -G_1 G_2 A \sin(\omega t + \theta) & \pi < \omega t < 2\pi \end{cases} \quad (5)$$

2.3 Demodulación síncrona en cuadratura

Para analizar la etapa de demodulación síncrona en cuadratura se realiza un análisis de función de transferencia similar a la vista anteriormente. El voltaje de salida de la etapa de amplificación V_{s2} entra a una segunda etapa de demodulación síncrona en cuadratura en donde el voltaje senoidal V_{es} entra primero a una etapa cambiadora de fase de 90° con ganancia unitaria en función del circuito U2A, figura 4(a). De esta forma se obtiene el voltaje V_{sc} en cuadratura o desfasado 90° con respecto del voltaje V_{es} , figura 4(b).

2.4 Canales de voltaje de salida del DSF en fase y en cuadratura

A la salida de la EADC en fase, salida de U5A, se obtiene un voltaje medio rectificado de corriente directa V_{s3f} proporcional a la amplitud A del voltaje V_{s2} y en función de las ganancias G_D , G_1 y G_2 de cada etapa de amplificación del SMV como,

$$\bar{V}_{s3f} = G_D V_{s2} = \frac{G_1 G_2}{2\pi} \left[\int_0^\pi A \sin(\omega t + \theta) d\omega t - \int_\pi^{2\pi} A \sin(\omega t + \theta) d\omega t \right] \quad (6)$$

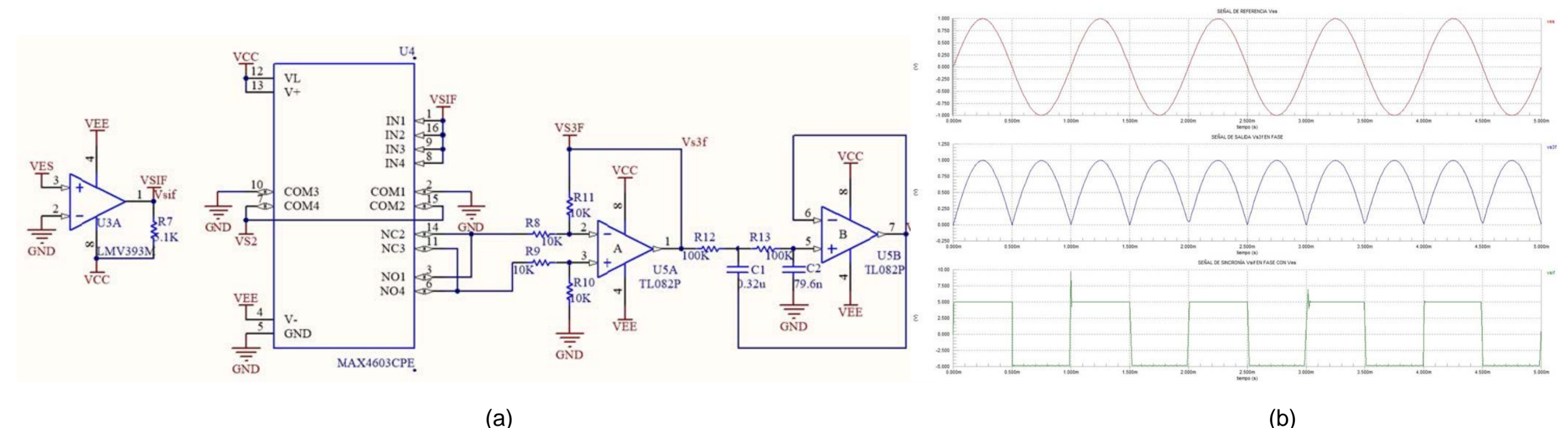


Figura 3. (a) Circuito de detección sensible a la fase (DSF) basado en demodulación síncrona en fase. (b) Señal de entrada senoidal V_{es} (arriba) en fase con la señal cuadrada de sincronía V_{sf} (abajo) y la señal de voltaje rectificadora V_{s3f} (en medio) a la salida del demodulador síncrono U5A en configuración de prueba en fase.

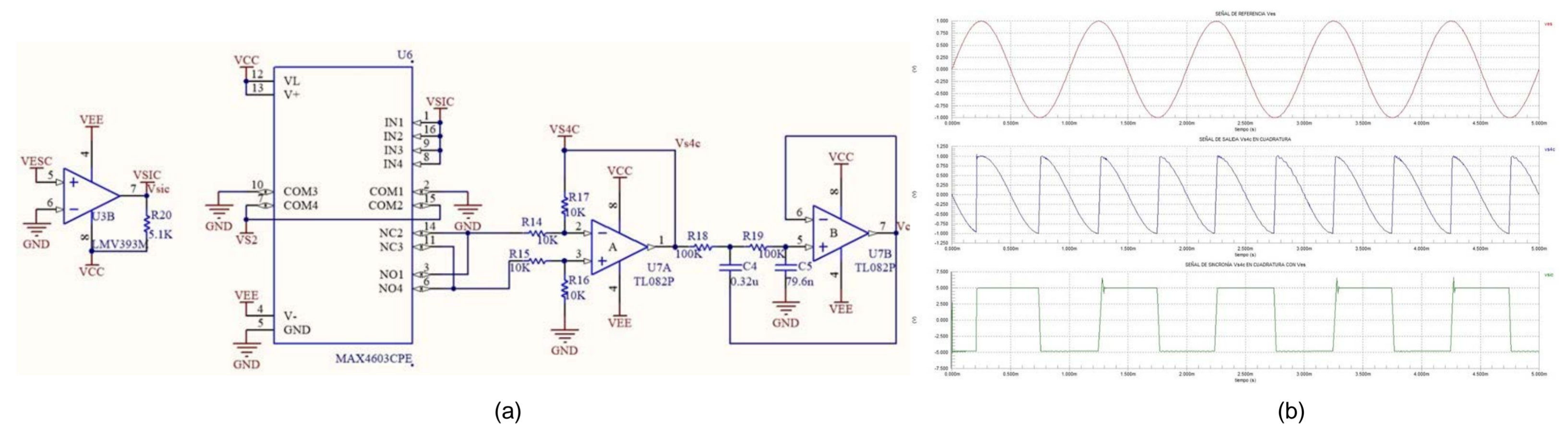


Figura 4. (a) Circuito de detección sensible a la fase (DSF) basado en demodulación síncrona en cuadratura. (b) Señal de entrada senoidal V_{es} (arriba) en cuadratura con la señal cuadrada de sincronía V_{sc} (abajo) y la señal de voltaje proporcional media V_{s3c} (en medio) a la salida del demodulador síncrono U7A en configuración de prueba en cuadratura.

La señal de voltaje en fase V_{cd} de salida del filtro paso bajas, U5B, representa el voltaje del canal de salida del DSF en fase con un ángulo ($\phi = 0^\circ$) y se muestra un voltaje de corriente directa proyectado en un eje real como,

$$V_{cd} = \frac{R_1}{R} \left(\frac{2A}{\pi} \right) \cos \theta_s \quad (7) \quad \text{El valor de } R \text{ del circuito RC se obtiene aplicando el modelo de la ecuación (3): } R = \frac{R_1}{V_{cd}} \left(\frac{2A}{\pi} \right) \quad (8)$$

La señal de voltaje en fase V_{ccd} de salida del filtro paso bajas, U7B, representa el voltaje del canal de salida del DSF en desfase con un ángulo ($\phi = 90^\circ$) y se muestra un voltaje de corriente directa proyectado en un eje imaginario como,

$$V_{ccd} = \left(\frac{R_1}{\omega C} \right) \left(\frac{2A}{\pi} \right) \sin \theta_s \quad (9) \quad \text{El valor de } C \text{ del circuito RC se obtiene aplicando el modelo de la ecuación (4): } C = \frac{1}{\omega R_1 \left(\frac{2A}{\pi V_{ccd}} \right)} \quad (10)$$

El módulo de la impedancia Z del circuito R, se puede calcular como, $|Z| = \frac{1}{\sqrt{\left(\frac{1}{R}\right)^2 + (\omega C)^2}} \quad (11)$

3 RESULTADOS

Se realizaron simulaciones con el SMV propuesto con un circuito RC en paralelo variando el valor de resistencia ideal y manteniendo el valor del capacitor ideal constante. Se calcularon valores teóricos y se compararon con valores calculados en función de los valores obtenidos con las simulaciones (tabla 1) y con datos experimentales obtenidos con un medidor LCR Keysight E4980AL (tabla 2).

Tabla 1. Datos iniciales propuestos, datos teóricos calculados y datos calculados en función de los obtenidos con las simulaciones del circuito del SMV.

Datos iniciales propuestos					Datos teóricos calculados			Datos calculados en función de V_{cd} y $-V_{ccd}$ obtenidos de las simulaciones del SMV							
f [KHz]	C_s [nF]	R_1 [KΩ]	R [KΩ]	C [nF]	G_1 [V]	$ Z_s $ [KΩ]	θ_s [°]	V_{cd} [V]	$-V_{ccd}$ [V]	R_s [KΩ]	C_s [nF]	$ Z_{sl} $ [KΩ]	θ_{sl} [°]	%Er R	%Er C
1	16	10	5.6	10	1.9	5.3	19.4	1.13	0.42	5.63	10.5	5.3	20.4	0.5	5
1	16	10	10	10	1.2	8.5	32.14	0.63	0.415	10.1	10.4	8.4	33.4	1	4
1	16	10	20	10	0.8	12.45	51.5	0.315	0.405	20.2	10.1	12.42	52.1	1	1

Tabla 2. Comparación de los datos calculados con los voltajes obtenidos de las simulaciones del SMV y con los datos obtenidos con el medidor LCR, utilizando valores de resistencia y capacitancia comerciales con tolerancias del $\pm 5\%$.

Datos calculados en función de simulaciones					Datos calculados en función del medidor LCR					
f [KHz]	R_s [KΩ]	C_s [nF]	$ Z_{sl} $ [KΩ]	θ_{sl} [°]	R_M [KΩ]	C_M [nF]	$ Z_{Ml} $ [KΩ]	θ_M [°]	%Er R	%Er C
1	5.63	10.5	5.3	20.4	5.76	9.52	5.33	18.85	2.86	4.8
1	10.1	10.4	8.4	33.4	9.95	9.52	8.3	29.92	0.5	4.8
1	20.2	10.1	12.42	52.1	19.91	9.52	12.32	48	0.25	4.8

4 CONCLUSIONES

Los valores obtenidos de R y C con las simulaciones del SMV son muy aproximados con los valores ideales propuestos obteniendo un error máximo del 5% con el capacitor. Así como con los valores de R y C comerciales medidos con el medidor LCR que también presentaron un error máximo del 4.8% el cual es debido a la tolerancia presentada por cada uno de los dispositivos comerciales utilizados.

5 REFERENCIAS

- Wuqiang Yang, Teaching phase-sensitive demodulation for signal conditioning to undergraduate students, Am. J. Phys. 78 (9), September 2010.
- M L Made, Advances in Lock-in amplifiers, J. Phys. E: Sci. Instrum., vol 15, 1982.

6 AGRADECIMIENTOS

Los autores agradecen a la Dirección de General de Asuntos del Personal Académico (DGAPA) de la Universidad Nacional Autónoma de México (UNAM) por medio del proyecto PAPIME PE107319.